

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-270850
 (43)Date of publication of application : 20.09.2002

(51)Int.Cl. H01L 29/786
 H01L 29/78

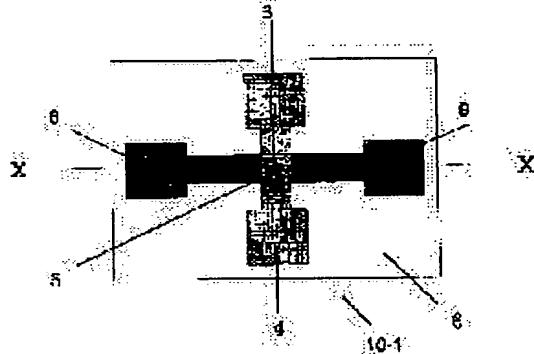
(21)Application number : 2001-069673 (71)Applicant : NATIONAL INSTITUTE OF ADVANCED
 INDUSTRIAL & TECHNOLOGY
 (22)Date of filing : 13.03.2001 (72)Inventor : SEKIKAWA TOSHIHIRO
 ISHII KENICHI
 SUZUKI HIDEKAZU

(54) DUAL-GATE FIELD EFFECT TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide dual-gate field effect transistor which includes two insulated gate electrodes on the same main surface as the source region, the drain region and the channel region and these gate electrodes can be arranged to each region through self-alignment.

SOLUTION: A semiconductor crystal layer, isolated from a substrate with an insulator, is prepared and a semiconductor crystalline layer island at least consisting of source region, the drain region and the channel region adjacent to these two regions are formed separately from a peripheral part with a groove. A gate insulation film is respectively formed to both side surfaces, opposed to the channel region of the semiconductor crystal layer island which is exposed in this groove. Moreover, the semiconductor crystal layer island, and both gate electrodes isolated from each other with the both gate insulation films are respectively provided in the groove. In this structure, the semiconductor crystal layer island, sandwiched by both gate electrodes, has a prescribed width and desirably has a width shorter than the length of the channel region. Accordingly, the short-channel effect can further be reduced markedly.



LEGAL STATUS

[Date of request for examination] 13.03.2001
 [Date of sending the examiner's decision of rejection] 24.09.2003
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3543117
 [Date of registration] 16.04.2004
 [Number of appeal against examiner's decision of rejection] 2003-20677
 [Date of requesting appeal against examiner's decision of rejection] 24.10.2003
 [Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS**[Claim(s)]**

[Claim 1] The duplex gate field-effect transistor characterized by having two insulated-gate electrodes which faced across the channel field on the same principal plane as this channel field, and were electrically insulated in the insulated-gate field-effect transistor which has the source field, drain field, and channel field which consist of a semiconducting crystal prepared through the insulating material on the substrate.

[Claim 2] The integrated circuit characterized by having the transistor of the claim 1 above-mentioned publication.

[Claim 3] The integrated circuit characterized by having been intermingled and using the transistor from which the width of face of a channel field differs in the integrated circuit of the claim 2 above-mentioned publication.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to amelioration of the field-effect transistor equipped with the duplex gate about an insulated-gate field-effect transistor.

[0002]

[Description of the Prior Art] In an insulated-gate field-effect transistor, in order to realize the transistor which has minute channel length, the so-called prevention of a short channel effect (rapid fall of the threshold electrical potential difference at the time of shortening channel length) is indispensable. As one component structure for that, there is a duplex gate field-effect transistor as shown in patent No. 2021931. The cross section of the above-mentioned conventional duplex gate field-effect transistor is shown in Fig. 20.

[0003] In Fig. 20, while 1 is a substrate and 2 is lower gate dielectric film The whole is an insulating layer which separates with a substrate the semiconducting crystal layer formed on the substrate although not illustrated. 3, 4, and 5 are the source field formed in a part of semiconducting crystal layer, a drain field, and a channel field, respectively, and, for an insulator layer and 8, as for a lower gate electrode and 30, an up gate electrode and 9 are [6 / up gate dielectric film and 7 / a source electrode and 40] drain electrodes. This structure is confirmed as the control approach of a short channel effect. That is, by shielding the channel field 5 with the up-and-down gate electrodes 8 and 9, and suppressing the effect which drain electric field have on potential distribution of the source and a channel field interface, even if short-channelized, it is stabilized only with a gate electrode and enables it to control potential distribution of the source and a channel field interface, and the rapid fall of a threshold electrical potential difference is prevented.

[0004]

[Problem(s) to be Solved by the Invention] However, since the conventional structure was the structure where the structure, i.e., an up-and-down gate electrode, where the gate electrode was prepared up and down across the channel field, respectively, the channel field, the source field, and the drain field are not prepared on the same principal plane, it was difficult to carry out self align of the two gate electrodes to a channel field, a source field, and a drain field, and to form. therefore, the allowances corresponding to alignment precision -- having -- a lower gate electrode and a channel field -- not arranging -- there was a problem of the degradation of operation which does not obtain, therefore originates in increases or those fluctuation of parasitic capacitance. Moreover, when using as an integrated circuit device, since the up gate electrode and the lower gate electrode were not located in the same principal plane, it had the fault said that it makes wiring complicate further.

[0005]

[Means for Solving the Problem] The semiconducting crystal layer separated from the substrate with the insulating material is prepared, a periphery and a slot separate and the island-shape semiconducting crystal layer which consists of a channel field which adjoins a source field, a drain field, and these at least is formed. Gate dielectric film is formed in the both-sides surface part where the channel field section of the island-shape semiconducting crystal layer exposed to this Mizouchi counters, respectively, and it considers as the structure which prepared both the gates electrode each other further separated by the island-shape semiconducting crystal layer and both gate dielectric film in this slot, respectively. The width of face of the island-shape semiconducting crystal layer pinched by both the gates electrode has predetermined width of face, and makes it a desirable value smaller than the die length of a channel field, and reduction of a short channel effect is made to become much more remarkable.

[0006]

[The 1st example] The 1st example of the invention in this application is shown in Figs. 1 and 2. Fig. 1 is a top view of the duplex gate field-effect transistor concerning the invention in this application, and Fig. 2 is a X-X' sectional view of Fig. 1. In Figs. 1 and 2, 1 is a substrate, 2 is an insulating layer, and 3, 4, and 5 are the source fields, drain fields, and channel fields which form the island-shape semiconducting crystal layer prepared by dissociating in the slot (hollow where the outline was deleted by the rectangle) 6. A channel field is prepared with the predetermined width of face T. Moreover, 7-1 and 7-2 are two gate dielectric film formed in the both-sides surface part of the channel field 5, and 8 and 9 are two gate electrodes prepared by an island-shape semiconducting crystal layer separating in the slot 6. Moreover, 10-1 is the remainder of the semiconducting crystal layer separated from the substrate 1 by the insulator layer 2.

[0007] In Figs. 3 thru/or 11, the example of a production process for realizing the duplex gate field-effect

transistor concerning the 1st example of the above is shown. As first shown in Fig. 3, the silicon crystal layer 10 formed through the oxide film 2 on the silicon substrate 1 is prepared, and the sequential deposition of silicon oxide 11 and the silicon nitride 12 is carried out further.

[0008] Next, as shown in Figs. 4 and 5, the insular layer 50 separated from the perimeter by the slot 6 where a part of silicon nitride 12, silicon oxide 11, and silicon crystal layer 10 are removed, and the depth formed arrives at the front face of an insulating layer 2 is formed, the lateral portion exposed to the slot 6 of the crystal silicon layer 51 which constitutes an insular layer 50 further is oxidized, and silicon oxide 7-1 and 7-2 are formed. It is not illustrating, although the crystal silicon layer lateral portion of the perimeter exposed to a slot 6 at this time also oxidizes. Moreover, the width of face of an insular layer can also give different predetermined width of face for every component.

[0009] Next, as shown in Fig. 6, a polycrystalline silicon layer is deposited on all front faces, flattening is carried out by the mechanization study-grinding method etc., and the polycrystalline silicon layer 14 is embedded to the interior of a slot 6. At this time, a part of silicon nitride 12 13 left behind on the silicon nitride 12 and the insular layer 50 acts as an etching stopper for flattening.

[0010] Fig. 7 shows the X-X' cross section of Fig. 6. Next, a part of polycrystalline silicon layer 14 embedded by the lithography process in the slot 6 is removed, and the polycrystalline silicon layers 8 and 9 each other separated by the insular layer 50 are formed as shown in Fig. 8. Although Fig. 9 shows the X-X' cross section of Fig. 8, in this case, a resist pattern 200 is formed so that an insular layer 50 may be crossed, and the polycrystalline silicon layers 8 and 9 are formed at the one same lithography process. Moreover, the part of insular layers 50 other than a resist pattern serves as a mask in case the silicon nitride 13 is polycrystalline silicon removal at this time, and an insular layer 50 remains as it is. Furthermore, silicon oxide 7-1 and 7-2 become a mask at the time of polycrystalline silicon removal, and it prevents that a surrounding silicon crystal layer and the silicon crystal layer 51 of an insular layer 50 are removed (refer to the 5th Fig.).

[0011] Next, the polycrystalline silicon layers 8 and 9 are used as a mask, an oxide film 7-1 and a part of 7-2 are removed, further high-concentration n mold impurity is diffused from a side face, and the source field 3 and the drain field 4 (refer to the 1st Fig.) are formed in an insular layer 50. The part of the silicon crystal layer 51 by which the mask was carried out serves as the channel field 5. Moreover, since a high concentration n mold impurity is added by the polycrystalline silicon layers 8 and 9 at coincidence, it can use as a gate electrode, respectively. In this way, the configuration of this invention the source field 3, the drain field 4, the channel field 5, and the gate electrodes 8 and 9 come to carry out self align on the same principal plane is realizable.

[0012] In order to make future production processes easy, as shown in Fig. 10, of course, flattening of the remainder of a slot 6 may be embedded and carried out by silicon oxide 15.

[0013]

[The 2nd example] Figs. 11 and 12 are the examples of structure which can show the 2nd example of the invention in this application, can make width of face of a channel field thin further, and can control a short channel effect more notably.

[0014] Following on Fig. 10, although Figs. 13 thru/or 19 show the example of a production process of the 2nd example of the above, as shown in Fig. 13, they remove the polycrystalline silicon layers 8 and 9, and form slots 16 and 17. Fig. 14 shows the X-X' cross section of Fig. 13. After removing the oxide film 7-1 of the both-sides surface part of the exposed channel field 5, and 7-2, as shown in Fig. 15, the both-sides surface part of the channel field 5 is etched, and it is made thin to predetermined thickness. Fig. 16 shows the X-X' cross section of Fig. 15.

[0015] Next, as shown in Fig. 17, gate oxide 7-3 and 7-4 are formed in the front face of a both-sides surface part. Next, the silicon nitrides 12 and 13 are removed, and as shown in Fig. 18, the gate electrodes 18 and 19 are formed by embedding and carrying out flattening of the slots 16 and 17 with a metal.

[0016] Fig. 19 shows the X-X' cross section of Fig. 18. The 2nd example of this invention shown in Figs. 11 and 12 as for which the source field 3, the drain field 4, the channel field 5 made thin to predetermined thickness, and the gate electrodes 18 and 19 formed into low resistance come to carry out self align on the same principal plane in this way is realizable. In this case, width of face of a source field and a drain field is greatly made as compared with a channel field so that resistance of that part can be performed sufficiently small, and it can make small effect of fluctuation of the parasitism resistance by the alignment error of the polycrystalline silicon layers 8 and 9 and an insular layer 50.

[0017]

[Effect of the Invention] Since the source field, the drain field, and both the gates electrode are arranged on the same principal plane according to this invention, like before, the wiring layer for a lower gate electrode becomes unnecessary, and can mitigate the complexity of wiring. When preparing opening for wiring in the layer insulation layer prepared in the component upper part, since the depth of each opening to a source field, a drain field, and a gate electrode can be made almost the same, unlike the former, improvement in the controllability of a process and time amount compaction are attained. Moreover, since it can form at the same lithography process as shown in the example of a production process, self align is carried out also to a source field, a drain field, and a channel field mutually and, respectively, and both the gates electrode can be arranged. Therefore, although the performance degradation by fluctuation of parasitism resistance of increase of the parasitic capacitance by location mismatching or a source field, and a drain field occurred with the

conventional structure, this can be prevented according to the structure of this invention.

[0018] Since both the gates electrode is insulated electrically, it is controllable in the threshold electrical potential difference of a field-effect transistor by giving the suitable potential for the gate electrode of another side, using one gate electrode as an input. Moreover, the width of face of the channel field part of the island-shape semiconducting crystal layer which has estranged both the gates electrode can be changed for every component, and change of the threshold electrical potential difference when giving the same potential can be changed for every component. The principle is because the capacity of a silicon layer becomes small and a gate inter-electrode capacity of the channel table side facing one gate electrode and another side which counters becomes small by thickening width of face of a channel field part. That is, if width of face of a channel field part is thickened, extent of change of a threshold electrical potential difference can be made small. The component which has the threshold electrical potential difference which changes with this is realizable for coincidence. Although the same effectiveness can be conventionally acquired by changing the thickness of a semi-conductor with structure, a lithography process is needed for every thickness, and the complexity of a process is caused. On the other hand, with the structure of this invention, that what is necessary is just to change the width of face of an island-shape semiconducting crystal layer, since it is realizable at the one same lithography process, this can solve the above-mentioned fault.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The top view of the duplex gate field-effect transistor which is the 1st example of the invention in this application

[Drawing 2] The X-X' sectional view of drawing 1

[Drawing 3] The production process explanatory view of the transistor which is the 1st example (A).

[Drawing 4] The production process explanatory view of the transistor which is the 1st example (B).

[Drawing 5] The production process explanatory view which is a X-X' sectional view of drawing 4 (C).

[Drawing 6] The production process explanatory view of the transistor which is the 1st example (D).

[Drawing 7] The production process explanatory view which is a X-X' sectional view of drawing 6 (E).

[Drawing 8] The production process explanatory view of the transistor which is the 1st example (F).

[Drawing 9] The production process explanatory view which is a X-X' sectional view of drawing 8 (G).

[Drawing 10] The production process explanatory view of the transistor which is the 1st example (F).

[Drawing 11] The top view of the duplex gate field-effect transistor which is the 2nd example of the invention in this application.

[Drawing 12] The Y-Y sectional view of drawing 11

[Drawing 13] The production process explanatory view of the transistor which is the 2nd example (A).

[Drawing 14] The production process explanatory view which is a X-X' sectional view of drawing 13 (B).

[Drawing 15] The production process explanatory view of the transistor which is the 2nd example (C).

[Drawing 16] The production process explanatory view which is a X-X' sectional view of drawing 15 (D).

[Drawing 17] The production process explanatory view of the transistor which is the 2nd example (E).

[Drawing 18] The production process explanatory view of the transistor which is the 2nd example (F).

[Drawing 19] The production process explanatory view which is a X-X' sectional view of drawing 18 (G).

[Drawing 20] The sectional view of the conventional duplex gate field-effect transistor.

[Description of Notations]

1 Substrate

2 Insulator Layer

3 Source Field

4 Drain Field

5 Channel Field

6 Slot

7-1 Gate Dielectric Film

7-2 Gate Dielectric Film

7-3 Gate Dielectric Film

7-4 Gate Dielectric Film

8 Gate Electrode

9 Gate Electrode

10 Semiconducting Crystal Layer

10-1 Remainder of Semiconducting Crystal Layer 10

11 Insulator Layer

12 Silicon Nitride

13 A Part of Silicon Nitride 12

14 Polycrystalline Silicon Layer

15 Insulating Layer

16 Slot Which Comes to Remove Gate Electrodes 8 and 9

17 Slot Which Comes to Remove Gate Electrodes 8 and 9

18 Metal Electrode Which Comes to Embed Slots 16 and 17

19 Metal Electrode Which Comes to Embed Slots 16 and 17

30 Source Electrode

40 Drain Electrode

50 Insular Layer

51 Semi-conductor Layer Which is Component of Insular Layer 50

200 Resist Mask

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-270850

(P2002-270850A)

(43)公開日 平成14年9月20日 (2002.9.20)

(51)Int.Cl.
H 01 L 29/786
29/78

識別記号

F I
H 01 L 29/78

マーク (参考)

617N 5F110
301X 5F140
301H

審査請求 有 請求項の数3 OL (全7頁)

(21)出願番号 特願2001-69673(P2001-69673)

(22)出願日 平成13年3月13日 (2001.3.13)

(71)出願人 301021533
独立行政法人産業技術総合研究所
東京都千代田区霞が関1-3-1
(72)発明者 関川 敏弘
茨城県つくば市梅園1丁目1番4 経済産業省産業技術総合研究所電子技術総合研究所内
(72)発明者 石井 賢一
茨城県つくば市梅園1丁目1番4 経済産業省産業技術総合研究所電子技術総合研究所内

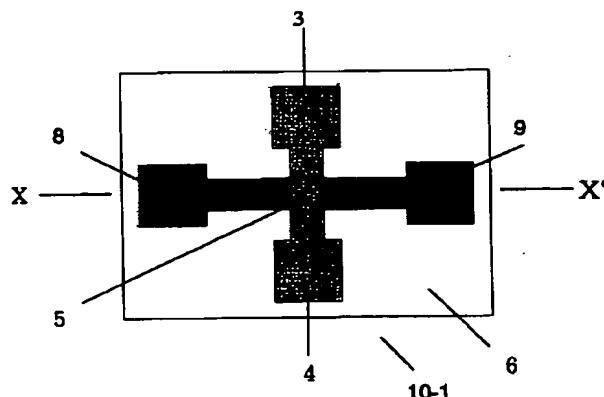
最終頁に続く

(54)【発明の名称】二重ゲート電界効果トランジスタ

(57)【要約】 (修正有)

【課題】二つの絶縁ゲート電極をソース領域、ドレイン領域及びチャネル領域と同一主面上に有し、各領域に対して自己整合して配置できる二重ゲート電界効果トランジスタの提供。

【解決手段】絶縁物により基板から分離された半導体結晶層を用意し、少なくともソース領域、ドレイン領域及びこれらに隣接するチャネル領域からなる島状半導体結晶層を周辺部と溝により分離して形成する。この溝内に露出する島状半導体結晶層のチャネル領域部の対向する両側面部にそれぞれゲート絶縁膜を形成し、さらに島状半導体結晶層および両ゲート絶縁膜により互いに分離された両ゲート電極をそれぞれ該溝内に設けた構造とし、両ゲート電極に挟まれた島状半導体結晶層の幅は、所定の幅を有し、望ましくはチャネル領域の長さよりも小さな値とし、短チャネル効果の低減を一層顕著となるようにした。



【特許請求の範囲】

【請求項1】 基板上に絶縁物を介して設けられた半導体結晶からなるソース領域、ドレイン領域及びチャネル領域を有する絶縁ゲート電界効果トランジスタにおいて、該チャネル領域と同一主面上に、チャネル領域を挟んで相対し、互いに電気的に絶縁された二つの絶縁ゲート電極を有することを特徴とする二重ゲート電界効果トランジスタ。

【請求項2】 上記請求項1記載のトランジスタを有することを特徴とする集積回路。

【請求項3】 上記請求項2記載の集積回路において、チャネル領域の幅の異なるトランジスタを混在して用いたことを特徴とする集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は絶縁ゲート電界効果トランジスタに関し、特に二重ゲートを備えた電界効果トランジスタの改良に関する。

【0002】

【従来の技術】 絶縁ゲート電界効果トランジスタにおいて、微小なチャネル長を有するトランジスタを実現するためには、いわゆる短チャネル効果（チャネル長を短くした場合のしきい値電圧の急激な低下）の防止が必須である。そのための一つの素子構造として、特許第2021931号に示されるような二重ゲート電界効果トランジスタがある。上記従来の二重ゲート電界効果トランジスタの断面を第20図に示す。

【0003】 第20図において、1は基板、2は下部ゲート絶縁膜であるとともに、全体は図示されてはいないが基板上に形成された半導体結晶層を基板と分離する絶縁層であり、3、4、および5はそれぞれ半導体結晶層の一部に形成されたソース領域、ドレイン領域、およびチャネル領域であり、6は上部ゲート絶縁膜、7は絶縁膜、8は上部ゲート電極、9は下部ゲート電極、30はソース電極、40はドレイン電極である。この構造は短チャネル効果の抑制方法としては最も有効であるとされている。すなわち、上下のゲート電極8および9によりチャネル領域5をシールドし、ドレイン電界がソース、チャネル領域界面の電位分布に与える影響を抑えることによって、短チャネル化してもソース、チャネル領域界面の電位分布をゲート電極のみで安定して制御できるようにし、しきい値電圧の急激な低下を防止する。

【0004】

【発明が解決しようとする課題】 しかしながら、従来の構造はチャネル領域を挟んで上下にそれぞれゲート電極が設けられた構造、すなわち上下のゲート電極、チャネル領域、ソース領域およびドレイン領域が同一主面上に設けられていない構造であるため、二つのゲート電極をチャネル領域、ソース領域およびドレイン領域に対して自己整合させて形成することが困難であった。従って、

位置合わせ精度に対応した余裕をもって下部ゲート電極とチャネル領域を配置せざるを得ず、そのために寄生容量の増大或いはそれらの変動に起因する動作性能低下の問題があった。また、集積回路素子として用いる場合に、上部ゲート電極と下部ゲート電極が同一主面には位置されていないので配線をさらに複雑化させると言う欠点を有していた。

【0005】

【課題を解決するための手段】 絶縁物により基板から分離された半導体結晶層を用意し、少なくともソース領域、ドレイン領域及びこれらに隣接するチャネル領域からなる島状半導体結晶層を周辺部と溝により分離して形成する。この溝内に露出する島状半導体結晶層のチャネル領域部の対向する両側面部にそれぞれゲート絶縁膜を形成し、さらに島状半導体結晶層および両ゲート絶縁膜により互いに分離された両ゲート電極をそれぞれ該溝内に設けた構造とする。両ゲート電極に挟まれた島状半導体結晶層の幅は所定の幅を有し、望ましくはチャネル領域の長さよりも小さな値とし、短チャネル効果の低減を一層顕著となるようにする。

【0006】

【第1の実施例】 第1図および第2図に本願発明の第1の実施例を示す。第1図は本願発明に係る二重ゲート電界効果トランジスタの平面図であり、第2図は、第1図のX-X'断面図である。第1図および第2図において、1は基板、2は絶縁層であり、3、4、及び5は溝（外郭が長方形に削られた窪み）6内に分離して設けられた島状半導体結晶層を形成するソース領域、ドレイン領域およびチャネル領域である。チャネル領域は所定の幅Tをもって設けられる。また7-1、7-2はチャネル領域5の両側面部に設けられた二つのゲート絶縁膜であり、8および9は、溝6内に島状半導体結晶層により分離して設けられた二つのゲート電極である。また、10-1は絶縁層2により基板1より分離された半導体結晶層の残部である。

【0007】 第3図ないし第11図において、上記第1実施例に係る二重ゲート電界効果トランジスタを実現するための製造工程例を示す。まず第3図に示すように、シリコン基板1上に酸化膜2を介して形成されたシリコン結晶層10を用意し、さらにシリコン酸化膜11、シリコン窒化膜12を順次堆積する。

【0008】 次に第4図および第5図に示すように、シリコン窒化膜12、シリコン酸化膜11およびシリコン結晶層10の一部を除去し、形成される深さが絶縁層2の表面に達する溝6により周囲から分離された島状層50を形成し、さらに島状層50を構成する結晶シリコン層51の溝6に露出された側面部を酸化しシリコン酸化膜7-1および7-2を形成する。このとき溝6に露出している周囲の結晶シリコン層側面部も酸化されるが図示していない。また、島状層の幅は各素子毎に異なる所

定の幅を持たせることもできる。

【0009】次に第6図に示すように、全表面に多結晶シリコン層を堆積し、機械化学的研磨法などにより平坦化し、溝6の内部に多結晶シリコン層14を埋め込む。このとき、シリコン窒化膜12及び島状層50上に残されたシリコン窒化膜12の一部13が平坦化のためのエッチングストッパーとして作用する。

【0010】第7図は、第6図のX-X'断面を示す。次にリソグラフィー工程により溝6に埋め込まれた多結晶シリコン層14の一部を除去し、島状層50で互いに分離された多結晶シリコン層8および9を第8図のように形成する。第9図は第8図のX-X'断面を示すが、この場合レジストパターン200は島状層50を横断するように形成し、多結晶シリコン層8および9は同一のリソグラフィー工程一回で形成される。また、このときレジストパターン以外の島状層50の部分は、シリコン窒化膜13が多結晶シリコン除去の時のマスクとなり、島状層50はそのまま残る。さらにシリコン酸化膜7-1および7-2もまた多結晶シリコン除去の時のマスクとなり、周囲のシリコン結晶層および島状層50のシリコン結晶層51が除去されることを防止する(第5図参照)。

【0011】次に多結晶シリコン層8および9をマスクとし酸化膜7-1及び7-2の一部を除去し、さらに高濃度のn型不純物を側面から拡散し、島状層50にソース領域3、及びドレイン領域4(第1図参照)を形成する。マスクされたシリコン結晶層51の部分がチャネル領域5となる。また同時に多結晶シリコン層8および9にも高濃度n型不純物が添加されるので、それぞれゲート電極として用いることが出来る。かくして、同一主面上にソース領域3、ドレイン領域4、チャネル領域5、ゲート電極8及び9が自己整合してなる本発明の構成を実現できる。

【0012】以後の製造工程を容易にするために、第10図に示されるように、溝6の残部をシリコン酸化膜15で埋め込み平坦化しておいても良いことはもちろんである。

【0013】

【第2の実施例】第11図及び第12図は、本願発明の第2の実施例を示し、さらに、チャネル領域の幅を薄くし、短チャネル効果をより顕著に抑制することの出来る構造例である。

【0014】第13図ないし第19図は、上記第2の実施例の製造工程例を示すが、第10図に引き続き、第13図に示すように、多結晶シリコン層8および9を除去し、溝16および17を形成する。第14図は、第13図のX-X'断面を示す。露出したチャネル領域5の両側面部の酸化膜7-1および7-2を除去した後、第15図に示すように、チャネル領域5の両側面部をエッチングし所定の厚さまで薄くする。第16図は、第15図

のX-X'断面を示す。

【0015】次に、第17図に示すように、両側面部の表面にゲート酸化膜7-3及び7-4を形成する。次にシリコン窒化膜12および13を除去し、第18図に示すように、溝16および17を金属で埋め込み平坦化することによってゲート電極18および19を形成する。

【0016】第19図は、第18図のX-X'断面を示す。かくして、同一主面上にソース領域3、ドレイン領域4、所定の厚さまで薄くされたチャネル領域5、低抵抗化されたゲート電極18及び19が自己整合してなる第11図および第12図に示す本発明の第2の実施例を実現できる。この場合、ソース領域、ドレイン領域の幅はその部分の抵抗が十分小さくできるようにチャネル領域と比較し大きくでき、多結晶シリコン層8および9と島状層50の位置合わせ誤差による寄生抵抗の変動の影響を小さくできる。

【0017】

【発明の効果】本発明によればソース領域、ドレイン領域、及び両ゲート電極が同一主面上に配置されているので従来のように下部ゲート電極のための配線層は不要となり配線の複雑さを軽減できる。素子上部に設けられた層間絶縁層に配線のための開口を設けるとき、ソース領域、ドレイン領域、ゲート電極への各開口の深さをほとんど同一に出来るので従来と異なり工程の制御性の向上、時間短縮が可能となる。また、両ゲート電極は製造工程例に示されるように同一のリソグラフィー工程で形成できるので互いにかつそれぞれソース領域、ドレイン領域、チャネル領域とも自己整合して配置できる。したがって、従来の構造では位置不整合による寄生容量の増大、或いはソース領域、ドレイン領域の寄生抵抗の変動による性能劣化があったが、本発明の構造によってこれを防止できる。

【0018】両ゲート電極が電気的に絶縁されているので一方のゲート電極を入力として用い、他方のゲート電極に適当な電位を与えることにより電界効果トランジスタのしきい値電圧を制御可能である。また、両ゲート電極を離間している島状半導体結晶層のチャネル領域部分の幅を各素子毎に変えることができ、同一電位を与えたときのしきい値電圧の変化を各素子毎に変えることが出来る。その原理は、チャネル領域部分の幅を厚くすることによってシリコン層の容量が小さくなり、一方のゲート電極に面したチャネル表面と対向する他方のゲート電極間の容量が小さくなるためである。すなわちチャネル領域部分の幅を厚くすればしきい値電圧の変化の程度を小さくできる。このことによって異なるしきい値電圧を有する素子を同時に実現できる。従来構造では半導体の厚さを変えることで同様な効果を得ることが出来るが、それぞれの厚さ毎にリソグラフィ工程が必要となり、工程の複雑さを招く。これに対し、本発明の構造では島状半導体結晶層の幅を変えれば良く、これは同一のリソグ

ラフィ工程一回で実現できるから上記欠点を解決できる。

【図面の簡単な説明】

【図1】本願発明の第1の実施例である二重ゲート電界効果トランジスタの平面図

【図2】図1のX-X'断面図

【図3】第1の実施例であるトランジスタの製造工程説明図(A)。

【図4】第1の実施例であるトランジスタの製造工程説明図(B)。

【図5】図4のX-X'断面図である製造工程説明図(C)。

【図6】第1の実施例であるトランジスタの製造工程説明図(D)。

【図7】図6のX-X'断面図である製造工程説明図(E)。

【図8】第1の実施例であるトランジスタの製造工程説明図(F)。

【図9】図8のX-X'断面図である製造工程説明図(G)。

【図10】第1の実施例であるトランジスタの製造工程説明図(F)。

【図11】本願発明の第2の実施例である二重ゲート電界効果トランジスタの平面図。

【図12】図11のY-Y'断面図

【図13】第2の実施例であるトランジスタの製造工程説明図(A)。

【図14】図13のX-X'断面図である製造工程説明図(B)。

【図15】第2の実施例であるトランジスタの製造工程説明図(C)。

【図16】図15のX-X'断面図である製造工程説明図(D)。

【図17】第2の実施例であるトランジスタの製造工程説明図(E)。

【図18】第2の実施例であるトランジスタの製造工程説明図(F)。

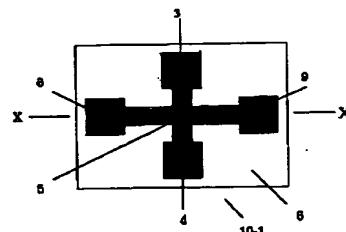
【図19】図18のX-X'断面図である製造工程説明図(G)。

【図20】従来の二重ゲート電界効果トランジスタの断面図。

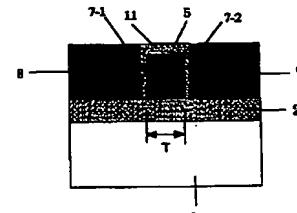
【符号の説明】

- 1 基板
- 2 絶縁膜
- 3 ソース領域
- 4 ドレイン領域
- 5 チャネル領域
- 6 溝
- 7-1 ゲート絶縁膜
- 7-2 ゲート絶縁膜
- 7-3 ゲート絶縁膜
- 7-4 ゲート絶縁膜
- 8 ゲート電極
- 9 ゲート電極
- 10 半導体結晶層
- 10-1 半導体結晶層10の残部
- 11 絶縁膜
- 12 シリコン窒化膜
- 13 シリコン窒化膜12の一部
- 14 多結晶シリコン層
- 15 絶縁層
- 16 ゲート電極8, 9を除去してなる溝
- 17 ゲート電極8, 9を除去してなる溝
- 18 溝16, 17を埋め込んでなる金属電極
- 19 溝16, 17を埋め込んでなる金属電極
- 30 ソース電極
- 40 ドレイン電極
- 50 島状層
- 51 島状層50の構成部分である半導体層
- 200 レジストマスク

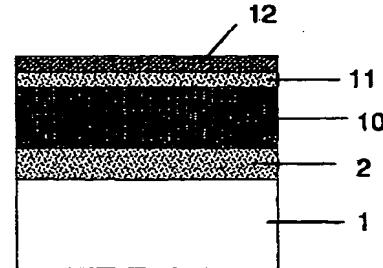
【図1】



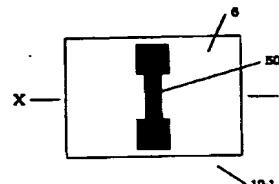
【図2】



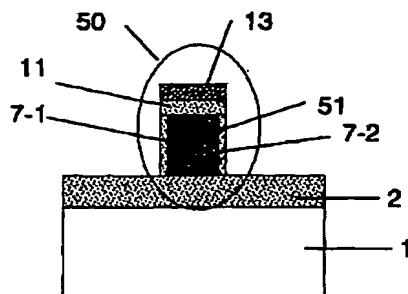
【図3】



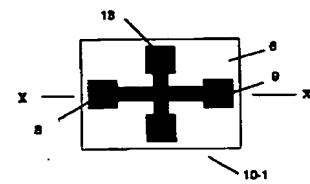
【図4】



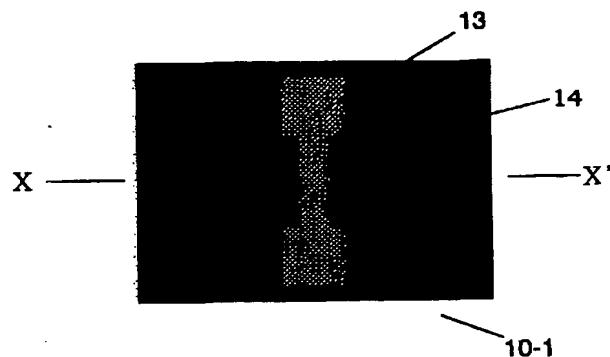
【図5】



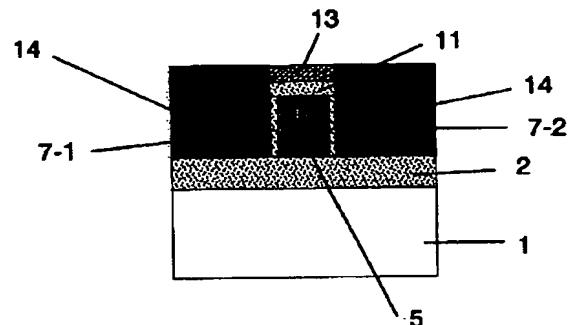
【図8】



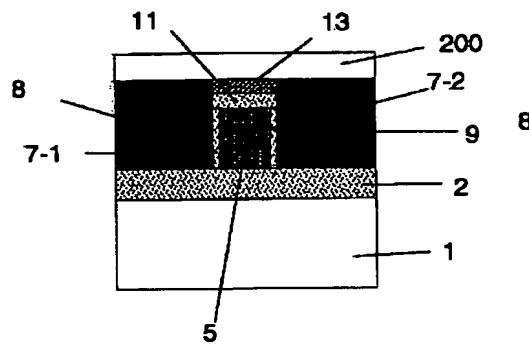
【図6】



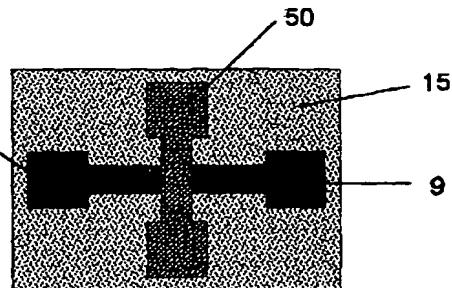
【図7】



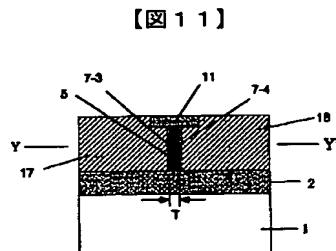
【図9】



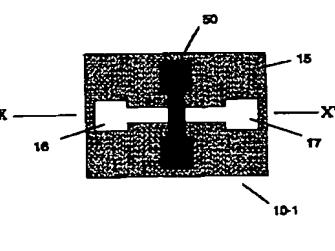
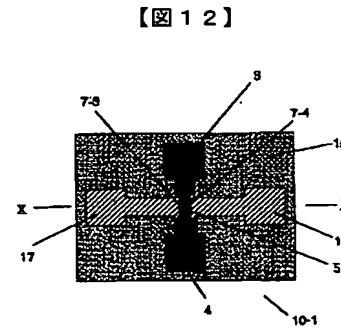
【図10】



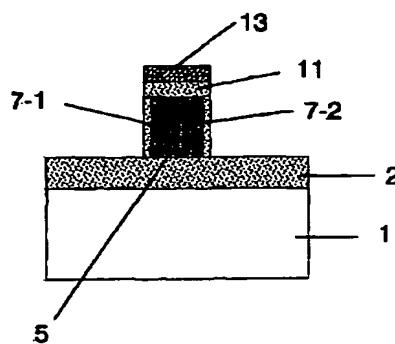
【図13】



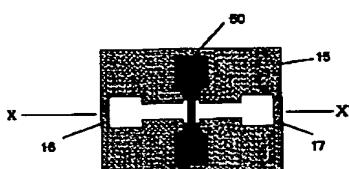
【図12】



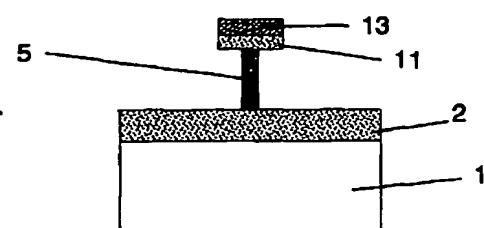
【図14】



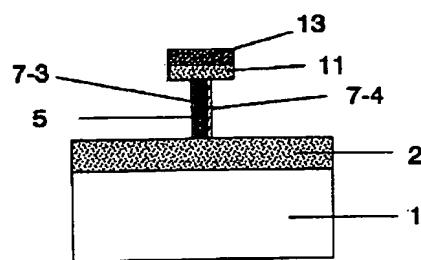
【図15】



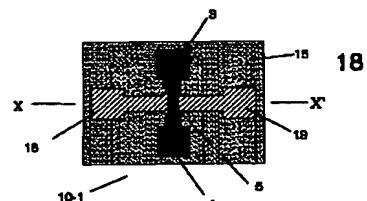
【図16】



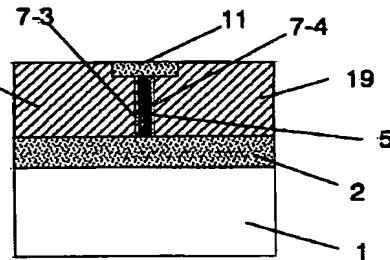
【図17】



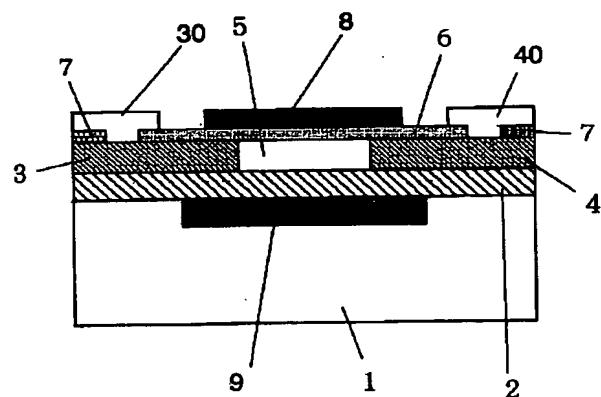
【図18】



【図19】



【図20】



従来の二重ゲート電界効果トランジスタの断面図

フロントページの続き

(72)発明者 鈴木 英一

茨城県つくば市梅園1丁目1番4 経済産業省産業技術総合研究所電子技術総合研究所内

Fターム(参考) 5F110 AA01 AA08 AA16 BB13 CC10
DD05 DD13 EE09 EE30 EE42
FF02 FF12 FF23 GG02 GG12
HJ15 QQ19
5F140 AA06 AA39 AA40 BB05 BE03
BE07 BE14 BF01 BF04 BF43
BF44 BF47 BG27 BG37 BH02
BH05 BK15 CE07 CF07